

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-216994

(43)Date of publication of application : 09.09.1988

(51)Int.Cl.

C25D 5/16

C25D 7/12

H01L 21/60

(21)Application number : 62-050366

(71)Applicant : FUJITSU LTD

(22)Date of filing : 06.03.1987

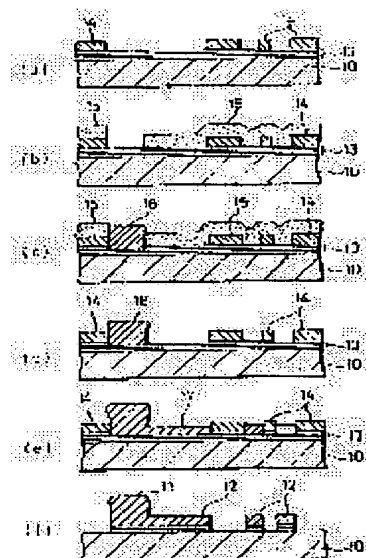
(72)Inventor : OMURO KATSUFUMI

(54) UNEVEN LEVEL PLATING METHOD

(57)Abstract:

PURPOSE: To attain uneven level plating without shorting lead wires or leaving a resist, by carrying out plating in two steps with a first resist and a second resist removable separately from the first resist.

CONSTITUTION: Base plating 13 is formed on the whole surface of a substrate 10 and a first resist pattern 14 having openings corresponding to first plating 11 and second plating 12 to be formed is formed on the plating 13 with a first resist [figure (a)]. A second resist pattern 15 having an opening corresponding to the plating 11 is formed with a second resist removable separately from the first resist [figure (b)]. After the Cr layer of the exposed part of the plating 13 is removed, plating 16 of thickness T1-T2 is formed [figure (c)]. Only the pattern 15 is selectively removed to expose the plating 13 at the second plating part [figure (d)]. The Cr layer of the exposed part of the plating 13 is removed by etching, plating 17 of thickness T2 is formed [figure (e)] and the pattern 14 is removed. The unnecessary part of the plating 13 is removed by ion milling [figure (f)] and desired uneven plating is obtd.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-216994

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)9月9日

C 25 D 5/16
7/12
H 01 L 21/60

7325-4K
7325-4K
6918-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 段差メッキ方法

⑯ 特 願 昭62-50366

⑰ 出 願 昭62(1987)3月6日

⑱ 発 明 者 大 室 克 文 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青 木 朗 外3名

明 細 書

1. 発明の名称

段差メッキ方法

2. 特許請求の範囲

1. 同一基板(10)上に厚さ T_1 の第1のメッキ(11)と、該第1のメッキ(11)より薄い厚さ T_2 の第2のメッキ(12)を形成するメッキ方法であって、

a. 第1のメッキ(11)及び第2のメッキ(12)のメッキ予定部分を抜いた第1のレジストパターン(14)を第1のレジストで形成する工程、

b. 上記レジストパターン(14)の上に、第1のメッキ(11)のメッキ予定部分を抜いた第2のレジストパターン(15)を前記第1のレジストに対して選択除去できる第2のレジストで形成する工程、

c. 上記第1のメッキ(11)予定部分に厚さ T_1 、 T_2 のメッキ(16)を形成する工程、

d. 上記第2のレジストパターン(15)を除去したのち厚さ T_2 のメッキ(17)を形成し、その後前記第1のレジストパターン(14)を除去する工程とを含んでなることを特徴とした段差メッキ法。

3. 発明の詳細な説明

(概 要)

段差メッキ方法であって、厚さ T_1 のメッキ及び厚さ T_2 の第2のメッキ予定部分を第1のレジストでパターン形成し、その上に厚さ T_1 の第1のメッキ予定部分を前記第1のレジストに対し選択除去できる第2のレジストでパターン形成したのち T_1 、 T_2 の厚さにメッキし、その後第2のレジストを除去し、さらに厚さ T_2 のメッキを行なうことにより段差メッキを可能とする。

(産業上の利用分野)

本発明は半導体素子搭載用のフィルムキャリアに対応して半導体素子に形成する段差メッキに関するものである。

以下半導体素子として磁気バブルメモリを例にとり説明する。従来の磁気バブルメモリでは4Mビットまでは外部に配線するために必要な端子部分のみをメッキしていた。しかし記憶密度が増加し16Mビットになると高密度大容量化に伴う端

子数の増加を抑えるためにメッキリード線を用いてチップ内配線を行ない、また高密度パッケージのためフィルムキャリアーを使用するようになってきたため端子部以外のメッキも必要となってきた。このフィルムキャリアーのインナーリードをチップにボンディングする場合、チップの端子のメッキ膜厚はボンディングの信頼性の上から30 μm 程度を必要としている。

〔従来の技術〕

従来のメッキプロセスは第3図a～cに示すように先ずa図の如くチップ1の上に下地メッキ2及びレジストパターン3を形成（図は近接した2本のリード線部分を示す）したのち、b図の如く厚さ30 μm のメッキ4を行ない、その後c図の如くレジスト3及びメッキ下地2の不要部を除去している。

〔発明が解決しようとする問題点〕

上記従来のメッキプロセスでは、リード線に端

子と同じ厚さの厚さ30 μm のメッキを行なっているため、リード線間の間隔が狭い場合には第3図cのようにリード線同士がショートしたり、リード線間にレジスト3aが残留したりする欠点があった。

本発明はこのような点にかんがみて創作されたものでリード線同士がショートしたり、レジストが残留すること等がない段差メッキ法を提供することを目的としている。

〔問題点を解決するための手段〕

このため本発明においては、第1図に例示するように、同一基板10上に厚さ T_1 の第1のメッキ11と、該第1のメッキ11より薄い厚さ T_2 の第2のメッキ12を形成するメッキ法であって、a. 第1のメッキ11及び第2のメッキ12のメッキ予定部分を抜いた第1のレジストパターン14を第1のレジストで形成する工程、b. 上記レジストパターン14の上に、第1のメッキ11のメッキ予定部分を抜いた第2のレジストパターン15

を前記第1のレジストに対して選択除去できる第2のレジストで形成する工程、c. 上記第1のメッキ11予定部分に厚さ $T_1 - T_2$ のメッキ16を形成する工程、d. 上記第2のレジストパターン15を除去したのち厚さ T_2 のメッキ17を形成し、その後前記第1のレジストパターン14を除去する工程とを含んでなることを特徴としている。

〔作 用〕

第1のレジストと、該第1のレジストに対して選択除去できる第2のレジストを用い、2段階のメッキを行なうことにより、厚さを必要とする部分は厚く、ショート又はレジストの残りの生じ易い部分は厚さの薄いメッキを行うことができ、ショート及びレジスト残りを防止することが可能となる。

〔実施例〕

第1図は本発明の実施例を説明するための図で

あり、a～fはその工程を示す図である。

本実施例は端子部（パンプ）に厚さ $T_1 = 30\mu\text{m}$ メッキした（第1のメッキと称す）とをリード線同士のショートをなくすためメッキリード線部分を厚さ $T_2 = 5\mu\text{m}$ 程度のメッキ（第2のメッキと称す）とした段差メッキ法であって、その作製工程は、先ず第1図aに示すように基板10の上に全面下地メッキ（TaMo/Au/Crの3層メッキ）13を行ない、その上に第1のメッキ11及び第2のメッキ12の形成予定部分を抜いた第1のレジストパターン14を第1のレジストで形成する。次に第1図bに示すように第1のメッキ11予定部分のみを抜いた第2のレジストパターン15を前記第1のレジストに対して選択除去できる第2のレジストで形成する。次に第1図cに示すように下地メッキ13の露出している部分のCr層を除去した後、厚さ $T_1 - T_2 = 25\mu\text{m}$ のメッキ16を行なう。次に第1図dに示すように第2のレジストパターン15のみを選択除去し第2のメッキ予定部分の下地メッキ13を露出させる。

次に第1図eに示すように露出した下地メッキ13のCr層をエッチング除去したのち厚さ $T_1 = 5 \mu\text{m}$ のメッキ17(これは第2のメッキと同一)を形成する。最後に第1図fの如く第1のレジストパターン14を除去し、更にイオンミリングにより下地メッキ13の不要部を除去するのである。

以上の本実施例によれば、ボンディングを行なう端子部には $30 \mu\text{m}$ の厚いメッキを形成し、ショートの際のあるリード線部には $5 \mu\text{m}$ 程度の薄いメッキを形成することにより、リード線間のレジスト残り及びショートを防止することができる。

第2図は本発明を磁気バブルメモリに用いた例を示したもので、パンプ20からのメッキリード線21の間隔が狭い場合に、パンプ20には厚さ $30 \mu\text{m}$ 、メッキリード線21には厚さ $5 \mu\text{m}$ をメッキしてショート防止を行なったものである。

なお前記の第1のレジスト及び該第1のレジストに対し選択除去できる第2のレジストとしては、

例えば第1のレジストにはアセトン等の有機溶剤には溶けないネガ型レジスト(例えば酸素プラズマで除去できる東京応化KKの商品名OMR)を、第2のレジストにはアセトン等の有機溶剤で除去できるポジ型レジスト(例えば米国シプレ社の商品名ONPR)を用いることができる。

(発明の効果)

以上述べてきたように、本発明によれば、選択除去できる2つのレジストを用いることにより段差メッキを容易に行なうことができ、それにより近接したメッキリード線間のショートやレジスト残りを防止でき、実用的には極めて有用である。

4. 図面の簡単な説明

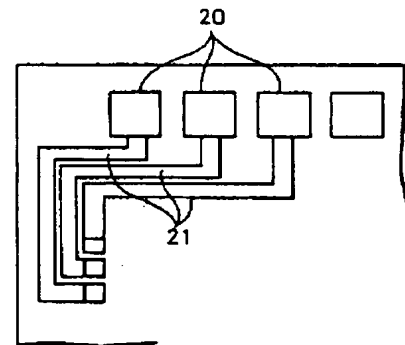
第1図は本発明の実施例を説明するための図、第2図は本発明を磁気バブルメモリに用いた例を示した図、

第3図は従来のメッキプロセスを示す図である。

第1図において、

10は基板、

- 11は第1のメッキ、
- 12は第2のメッキ、
- 13は下地メッキ、
- 14は第1のレジストパターン、
- 15は第2のレジストパターン、
- 16は厚さ $T_1 - T_2$ のメッキ、
- 17は厚さ T_2 のメッキである。



本発明を磁気バブルメモリに用いた例を示す図

第2図

- 20 ... パンプ
- 21 ... メッキリード線

特許出願人

富士通株式会社

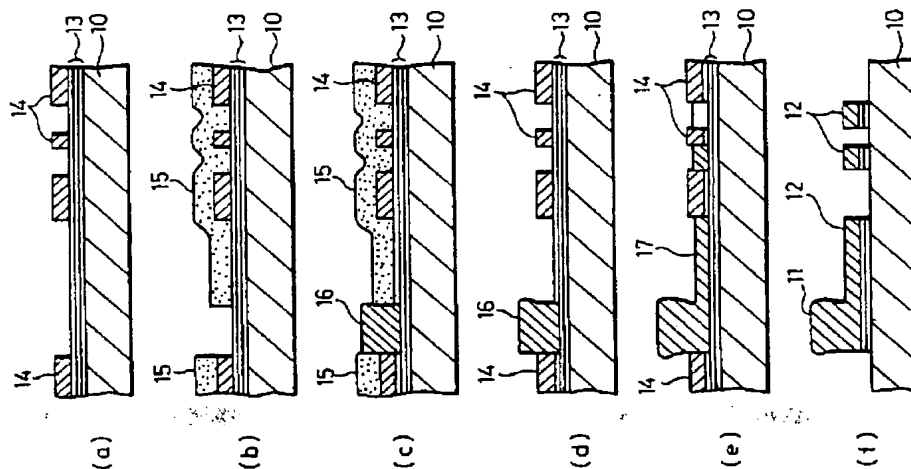
特許出願代理人

弁理士 青木 朗

弁理士 西館 和之

弁理士 内田 幸男

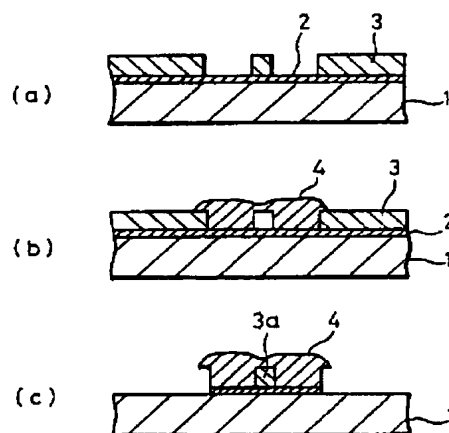
弁理士 山口 昭之



本発明の実施例を説明するための図

第 1 図

- 10... 基板
- 11... 第 1 のメッキ
- 12... 第 2 のメッキ
- 13... 厚さ T_1 のメッキ
- 14... 厚さ T_2 のメッキ
- 15... 第 1 のレジストパターン
- 16... 第 2 のレジストパターン
- 17... 厚さ T_3 のメッキ



従来のメッキプロセスを示す図

第 3 図

- 1... チップ
- 2... 下地メッキ
- 3... レジストパターン
- 4... 厚さ 30 μ m のメッキ